

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

⑫ 公開特許公報(A)

昭60-201795

⑮ Int. Cl.⁴H 04 Q 3/52
3/68

識別記号

101

庁内整理番号

8125-5K
8125-5K

⑬ 公開 昭和60年(1985)10月12日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 MOS デジタル空間スイッチ回路

⑯ 特 願 昭59-57416

⑰ 出 願 昭59(1984)3月27日

⑱ 発 明 者 矢 野 隆 夫 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

⑲ 発 明 者 堀 口 勝 治 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

⑳ 発 明 者 青 木 隆 宏 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 山本 恵一

明 細 書

1. 発明の名称

MOS デジタル空間スイッチ回路

2. 特許請求の範囲

(1) 2^M ($M \geq 1$ の自然数) 本の入線と n ($n \geq 1$ の自然数) 本の出線をもち、 2^M 本の入線と M 本の制御線を入力とし、2本の入力のうち1本を選択する第1のセレクト回路を $(2^M - 1)$ 個使用して 2^M 本の入力のうち1本を選択する第2のセレクト回路を構成し、上記第2のセレクト回路を n 個使用して上記 2^M 本の入線と n 本の出線との接続を行い、上記第1のセレクト回路を M 本の制御線の1本とその反転信号とにより制御される2つのトランスファゲートとそのトランスファゲートの出力を入力とする1つのCMOSバッファとから構成するMOS デジタル空間スイッチ回路において、

第2のセレクト回路の 2^M 本の入線に接続される 2^M 個のトランスファゲートのうち、 M 本の制御信号で決まる1つのトランスファゲートのみ導

通状態で他の $(2^M - 1)$ 個のトランスファゲートを非導通状態とする論理回路がトランスファゲートを制御するごとくもうけられることを特徴とする MOS デジタル空間スイッチ回路。

(2) 2^M 本の入線と n 本の出線を持ち、 2^M 本の入線と M 本の制御線を入力とし2本の入力のうち1本を選択する第1のセレクト回路を $(2^M - 1)$ 個使用して 2^M 本の入力のうち1本を選択する第2のセレクト回路を構成し、上記第2のセレクト回路を n 個使用して上記 2^M 本の入線と n 本の出線との接続を行い、上記第1のセレクト回路を M 本の制御線の1本とその反転信号とにより制御される2つのトランスファゲートとそのトランスファゲートの出力を入力とする1つのCMOSバッファとから構成する MOS デジタル空間スイッチ回路において、 2^M 本の入線のうち 2^{M-1} 本を選択する 2^{M-1} 個の第1のセレクト回路のバッファを $(M - 1)$ 本の制御信号とその反転信号で制御する前記バッファと直列接続の MOS トランジスタ及び該トランジスタを制御する論理回路がもうけ

られ、 $2(M-1)$ 本の制御信号で決まる1つのバッファのみバッファへの入力信号に応じて増幅動作を可能とし、他の $(2^{M-1}-1)$ 個のバッファはバッファへの入力信号に無関係にバッファの出力が一定値をとることを特徴とするMOSディジタル空間スイッチ回路。

3. 発明の詳細な説明

(技術分野)

本発明は高速で消費電力の少ないMOSディジタル空間スイッチLSIに関するものである。

(背景技術)

入線 m 本、出線 n 本の空間スイッチは、1つのスイッチ素子をマトリックス状に配置する方式と m 本の入線のうちから1本を選択するセレクトア($m-1$ セレクトアと呼ぶこととする)を n 回路分配置する方式とが考えられる。前者のスイッチマトリックス方式を第1図(A)に、後者のセレクトア方式を(B)にそれぞれ示す。上記、空間スイッチの方式の中でセレクトア方式では2本の入線のうちから1本を選択する2-1セレクトアを複数個使用する

場合が一般的である。第2図に8-1セレクトアを2-1セレクトア7回路で構成した例を示す。8-1セレクトアは3本の制御信号 a_0, a_1, a_2 を用いて、入線 $I_0 \sim I_7$ のうちの1つのデータを O_j に転送するものである。即ち、まず a_0 の値により、 (I_0, I_2, I_4, I_6) か (I_1, I_3, I_5, I_7) のどちらかの組が選択される。選択されたのが (I_0, I_2, I_4, I_6) の組とすると、次に a_1 によって、 (I_0, I_4) か (I_2, I_6) のどちらかの組が選択される。

これを引き続き、 a_2 の値によっても2つのうち1方を選択して、最終的に1つのデータのみが選択される。

次に、第3図に第2図で示した2-1セレクトアの回路を示す。(A)~(C)は、2-1セレクトア回路としてトランスファゲートとバッファを用いた場合である。このバッファとしては通常インバータが用いられる。なお、トランスファゲート単体でも2-1セレクトアの役目を果たすが、トランスファゲート単体を数段接続した場合入力信号の遅延、歪みが大きいため、通常はバッファを挿入し波形整

形を施す。(A)~(C)のバッファとしてCMOSインバータ、 E/D MOSインバータが考えられるが、低消費電力の観点から(A)、(B)のCMOSインバータタイプが望ましい。また(C)は2-1セレクトアをANDとNORの組合せで構成したものであるが、(A)~(C)に比較して構成トランジスタ数が多く、動作速度の点で(A)、(B)に劣る。このような背景より、2-1セレクトア回路(A)を用いた場合で従来ディジタル空間スイッチLSIとして使用されている回路の構成は第4図に示されるようになる。第4図では入線8本出線8本のディジタル空間スイッチ回路を示している。第4図において、 $SE_0 \sim SE_7$ の8-1セレクトアに8組の制御信号の $(a_0, a_1, a_2) \sim (h_0, h_1, h_2)$ が設定される。 $(a_0, a_1, a_2) \sim (h_0, h_1, h_2)$ のうち、同じ"1", "0"の組合せが8-1セレクトアに対し割当てられても良い。この場合は1本の入線に対し、複数の出線が選択されたことになり、これは同報通信に他ならない。

今後多様な情報サービスに対してディジタル空間スイッチLSIを使用する場合、数10Mb/s

もの高速ディジタル信号を処理する能力がLSIに要求される。そのとき問題となることはCMOS構成であるが故に、低速ディジタル信号を取扱う場合には顕著にならなかつた消費電力の増加である。それは、第4図の従来例では、本来動作しなくても済むバッファが動作するため、多数のバッファでダイナミックパワーを消費するためである。即ち8-1セレクトア SE_0 には $A_0 \sim A_6$ の7個のバッファが存在する。今制御信号 (a_0, a_1, a_2) が $(0, 0, 0)$ の場合、 I_7 が選択されて O_0 に出力される。このときバッファ A_0, A_1, A_6 は I_7 のデータに従って動作しなければならないが、 A_0, A_1, A_2, A_4 のバッファ I_1, I_2, I_5 のデータに従って動作する。入線及び出線の数が増加した場合、空間スイッチLSI中の無駄な動作をするバッファの数も増加し、入線16出線16の場合で176回路、入線32出線32の場合で912回路が余分に電力を消費していることになる。この電力は入線32出線32のLSIの場合、200~300mWもの値となりCMOSの低消費電力性が損われているといった問題があ

った。

(発明の課題)

本発明はこれらの欠点を除去するため、セレクトタの中において、必要なバッファのみ動作するようにして消費電力の削減を図ったもので、以下図面について詳細に説明する。

(発明の構成および作用)

第5図は本発明の実施例であって、第4図と同様に入線8出線8のデジタル空間スイッチLSIのスイッチ部分を示している。図中、 $I_0 \sim I_7$ は入線を、 $O_0 \sim O_7$ は出線を、 $SE_0 \sim SE_7$ は8-1セレクトタを、 $(a_0, a_1, a_2) \sim (h_0, h_1, h_2)$ は、各 $SE_0 \sim SE_7$ のセレクトタへの制御信号である。第4図との違いは入線が入力するトランスファゲートのゲート入力に (a_0, a_1, a_2) の制御信号を入力とする3入力NORを設けた点である。

第5図の回路の動作を SE_0 を例にとりて説明する。まず、制御信号 (a_0, a_1, a_2) として $(0, 0, 0)$ が入力したとする。このとき、 I_7 が0に出力されなければならない。 $I_0 \sim I_7$ を入力とするトラン

スファゲートは、8個の3入力NORの出力がゲートに接続されており、この中で $(0, 0, 0)$ を入力とする I_7 のトランスファゲートしかオンとならない。従って、 I_7 の信号に従って動作するバッファは A_3, A_5, A_6 のみで他の A_0, A_1, A_2, A_4 のバッファは前段のトランスファゲートがオフであるため、高インピーダンス出力、即ち前回の動作で決った値に固定されており、第4図で問題となった無駄な電力を消費することがなくなるのである。 $SE_1 \sim SE_7$ も同様のことが言える。

第6図は、本発明の他の実施例で、やはり第4図と同様入線8出線8のデジタル空間スイッチLSIのスイッチ部分を示しており、記号は第4図、第5図と同様であるので省略する。第4図との違いは最も前段となる2-1セレクトタのバッファをPチャネルトランジスタ1個とNチャネルトランジスタ2個とで構成し、新たに追加したNチャネルトランジスタの入力として、8-1セレクトタに入力する3本の制御線のうち2本を入力とする2入力NORの出力を取り入れる構成とした点

である。第6図の回路の動作を SE_0 を例にとりて説明しよう。

まず、制御信号 (a_0, a_1, a_2) として $(0, 0, 0)$ が入力とする。このとき I_7 が0に出力されなければならない。4回路の2入力NORの出力のうち、“1”が出力されるのは A_3 に入力する回路だけで他はすべて“0”が出力される。従って、 $A_0 \sim A_3$ の出力のうち、 A_3 のみが入線のデータの変化に追従でき、他の A_0, A_1, A_2 のバッファの出力は一度“1”になって後放電経路が断たれてしまうため、“1”を保つ。

このように、7回路のバッファのうち A_3, A_5, A_6 のみ I_7 のデータに従って動作し、他のバッファは入力データに従った動作はしない。このため、第4図で問題となったバッファの無駄な電力消費がなくなり、スイッチ回路の低消費電力化が図れる。

なお、第5図、第6図において制御系の回路の増加があるが、 $(a_0, a_1, a_2) \sim (h_0, h_1, h_2)$ の制御信号を取扱う制御系の動作速度は数10Mb/sのディ

ジタル信号に応じて変化する必要のあるスイッチ回路に比べて低速でよく、回路数の増加による動作速度の低下はデジタル空間スイッチLSIでは問題とならない。

なお、第4図～第6図において、図面の簡略化を用いているが、第3図(B)の回路形式のため第3図(A)の回路形式を用いても、今まで述べてきたことが言える。また、同じく図面の簡略化のため、図では入線8出線8の構成で説明してきたが、入線数、出線数が多くなればさらに本発明の効果が顕著になることは言うまでもない。

(発明の効果)

以上説明したように、セレクトタ方式のデジタル空間スイッチに対し、本発明のスイッチ回路を適用することで、不必要なバッファの電力削減を図れることから、大規模なデジタル空間スイッチLSIの実現に際し、その動作速度、消費電力の面で大きな利点がある。

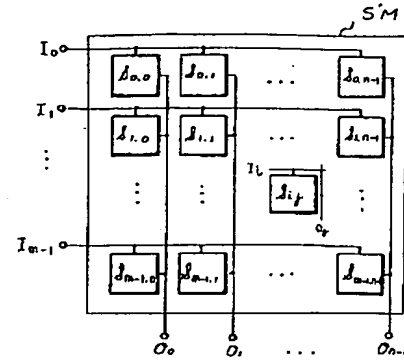
4. 図面の簡単な説明

第1図(A)及び(B)は従来のデジタル空間スイッチの構成を示す図、第2図は2本のうち1本を選

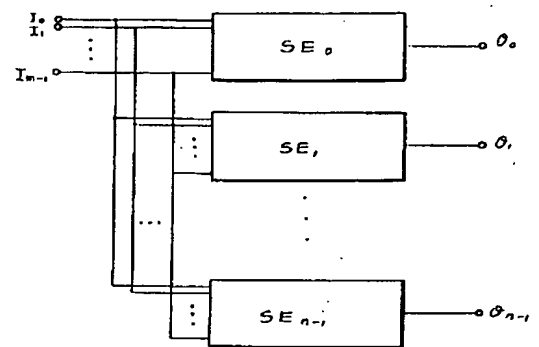
択する2-1セレクタを複数個使用して構成した
 セレクタ方式空間スイッチを示す図、第3図(A)～
 (D)は2-1セレクタの回路を示す図、第4図は従
 来のセレクタ方式空間スイッチ回路、第5図は本
 発明のセレクタ方式空間スイッチのスイッチ回路、
 第6図は本発明の別のセレクタ方式空間スイッチ
 のスイッチ回路である。

$I_0 \sim I_{m-1}$ … 入線、 $O_0 \sim O_{n-1}$ … 出線、 SM …
 スイッチマトリックス、 S_{ij} … スイッチ要素、
 $SE_0 \sim SE_{n-1}$ … m 本の入線のうち1本を選択す
 る $m-1$ セレクタ、 $S_{0j} \sim S_{mj}$ … 2-1 セレクタ、
 $(a_0, a_1, a_2) \sim (h_0, h_1, h_2) \dots SE_0 \sim SE_{n-1}$ に入力す
 る制御信号、 $Q_1, Q_2, Q_4 \dots N$ チャネルトランジスタ
 (エンハンスメント形)、 $Q_3, Q_5, Q_6 \dots P$ チャ
 ネルトランジスタ(エンハンスメント形)、 $Q_7 \dots$
 N チャネルトランジスタ(ディプレッション形)、
 $D_0 \dots$ 2-1 セレクタ回路の出力。
 $A_0 \sim A_{n-1} \dots$ 2-1 セレクタ回路で用いられている
 バッファ。

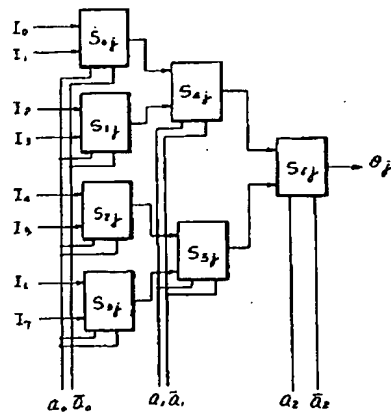
第1図(A)



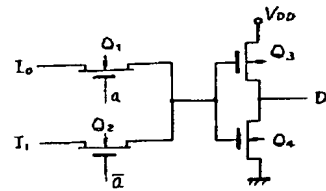
(B)



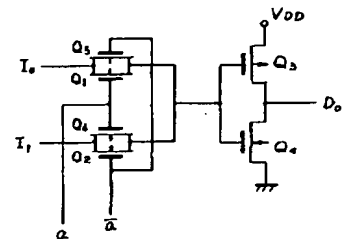
第2図



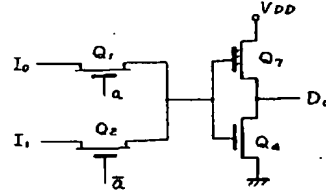
第3図(A)



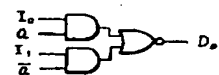
(B)



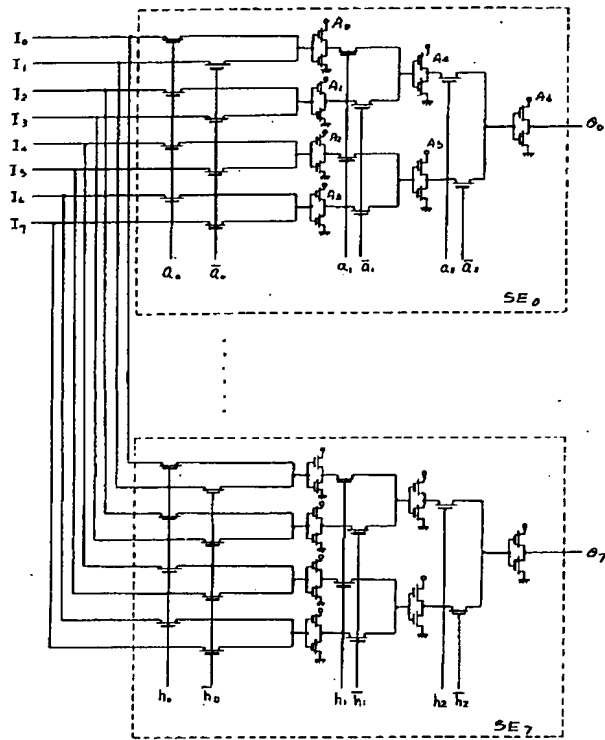
(C)



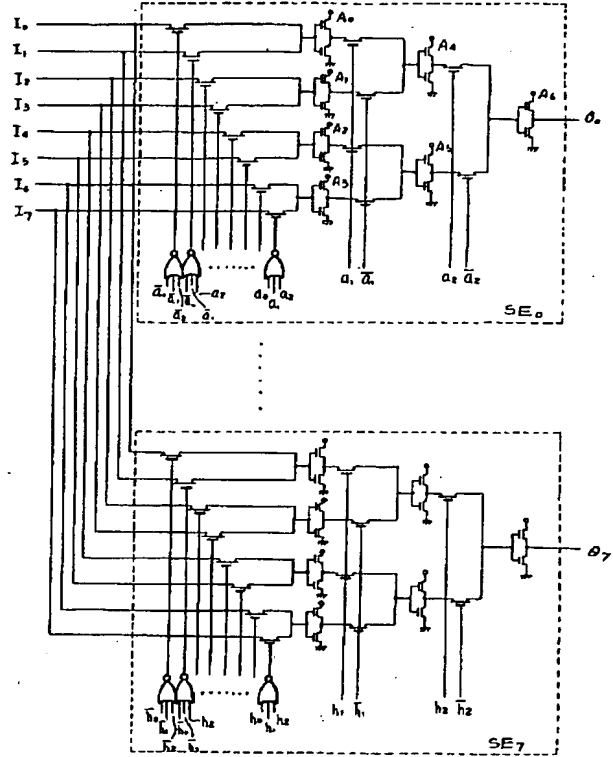
(D)



第4図



第5図



第6図

